

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 0 1 6 3 4

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl. ⁶

H 0 1 G 4/12

H 0 1 F 17/00

識別記号

3 4 9

庁内整理番号

D 8123-5 E

F I

技術表示箇所

審査請求 未請求 請求項の数 5

O L

(全 5 頁)

(21) 出願番号 特願平5-336698

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 原田 拓

東京都中央区日本橋一丁目13番1号ティー

ディーケイ株式会社内

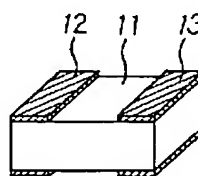
(74) 代理人 弁理士 南條 眞一郎

(54) 【発明の名称】 セラミックチップ部品

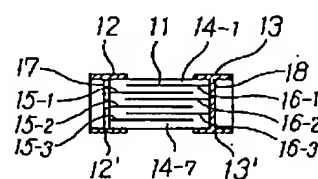
(57) 【要約】 (修正有)

【目的】 プリント基板に半田付けする場合に半田ブリッジの発生がなく、製造工程数が少なく、製品不良の発生も少なくする。

【構成】 セラミック層を積層し、積層されたセラミック層の間に内部電極が形成され、内部電極が外部電極に接続されたセラミックチップ部品の外部電極をセラミックチップ部品が半田付けされる面のみに形成する。セラミックチップ部品の内部電極をセラミック層を貫通して形成されたスルーホール内の導体によって電気的に接続し、この導体を外部電極に接続する。これにより、半田が端子電極の半田付け部以外の部分に付着することに起因する半田ブリッジの発生がなくなる。また、端子電極は生のセラミック素体に印刷手段により形成し、セラミック焼成時に同時に焼き付けられるから、端子電極を焼き付ける工程が不要でメッキ工程も不要であるからメッキ液が部品中に侵入し、製品不良が発生することもない。



(a)



(b)

【特許請求の範囲】

【請求項 1】 積層されたセラミック層の間に内部電極が形成されたセラミックチップ部品であって、前記セラミック層にはスルーホールが形成され、前記スルーホール内に導電体が充填され、前記内部電極と前記導電体が電氣的に接続され、前記外部電極は前記セラミックチップ部品が半田付けされる面のみに形成され、前記導電体が前記外部電極に接続されたセラミックチップ部品。

【請求項 2】 前記内部電極がセラミックチップ部品の外周部に露出していない請求項 1 記載のセラミックチップ部品。

【請求項 3】 前記セラミック層が誘電体であり、前記内部電極がコンデンサ電極である請求項 1 又は請求項 2 記載のセラミックチップ部品。

【請求項 4】 前記セラミック層が絶縁体であり、前記内部電極が抵抗体である請求項 1 又は請求項 2 記載のセラミックチップ部品。

【請求項 5】 前記セラミック層が絶縁体であり、前記内部電極がインダクタである請求項 1 又は請求項 2 記載のセラミックチップ部品。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願発明は表面実装部品（Surface Mounting Device=SMD）であるセラミックチップ部品の構造に係るものである。

【0002】

【従来の技術】各種電子装置の普及が進む中で、これらの装置の小型軽量化が急速に進んでいる。特に、カメラ一体型 VTR、携帯電話器、ノート型パーソナルコンピュータ、パームトップ型コンピュータ等携帯することを目的とする電子装置においては小型軽量化の速度が著しい。このような電子装置の小型軽量化が進められる中で使用される各種電子部品の小型軽量化が進められるとともに、電子部品を実装する手段も従来のプリント基板に設けられたスルーホールに使用される電子部品のピンを挿入し半田付けするものから、プリント基板上に設けられた導電パターンのランドに電子部品を載置・半田付けする表面実装技術（Surface Mounting Technology=SMT）へと変化している。

【0003】この SMT において用いられる電子部品は表面実装部品（Surface Mounting Device=SMD）と総称され、半導体部品はもちろんのことコンデンサ、抵抗器、インダクタ、フィルタ等があり中でも特に小型の部品であるコンデンサ及び抵抗器はセラミックチップ部品と呼ばれている。セラミックチップ部品の大きさには種々のものがあるが、現在実用されているセラミックチップ部品で最小のものは「1005」と呼ばれる 0.5mm、長さ 1.0mm の大きさである。

【0004】一方、主要電子部品である IC のピン間隔は以前は IC ピッチと呼ばれる 2.54mm（1/10 インチ）あるいは 3.175mm（1/8 インチ）が殆どであったが、現在はハーフピッチと呼ばれる 1.27mm（1/20 インチ）のものが主流となっている。一括リフロー半田付けの技術的限界は 0.5mm ピッチと言われていたが、現在の技術的要求としては 1mm に 4 本すなわち 0.25mm ピッチの配線が求められており、実際に 0.4mm あるいは 0.3mm ピッチも試験的に行われている。

10 【0005】また、部品が取り付けられているプリント基板上の部品が取り付けられるランドパターンの間に通される回路パターン数は従来の IC ピッチのピン間に 3 本であったが、最近は 5 本通すことが行われている。この時の回路パターンの幅は 0.1mm、パターン同士の間隙は 0.154mm 程度である。また、ハーフピッチの場合には従来 1 本であった回路パターンが 2 本になっている。

20 【0006】代表的なセラミックチップ部品である積層セラミックコンデンサの外観を図 1（a）に、断面構造を同（b）に示す。この積層セラミックコンデンサは直方体形状の本体 1 と、本体 1 の 1 組の対向面全体を覆って形成された端子電極 2、3 から構成されている。この本体 1 は、BaTiO₃-Nb₂O₅ 系セラミック誘電体層 4-1、4-2・・・4-7 とこれらの誘電体層の間に形成された Pd、Ag-Pd 合金、Ni 等の導電体層からなる 6 枚の内部電極 5-1、5-2、5-3 及び 6-1、6-2、6-3 から構成されており、直方体形状の両端部を覆って端子電極 2 及び 3 が形成されている。内部電極 5-1、5-2 及び 5-3 は端子電極 2 に接続されており、内部電極 6-1、6-2 及び 6-3 は端子電極 3 に接続され、このことにより内部電極 5 と 6 の間に形成されたコンデンサが並列接続され、全体で 1 個のコンデンサが形成されている。

30 【0007】端子電極 2、3 は焼成されたセラミック本体 1 に印刷塗布された導電ペイントを焼成するかあるいは焼成されたセラミック本体 1 に金属板を嵌挿することによって形成されており、この端子電極 2、3 の外側にはニッケルメッキが施され、さらに積層セラミックコンデンサをプリント基板に実装する際に良好な半田付けを得るために錫メッキあるいは半田メッキが施されている。

40 【0008】このように狭い間隔のプリントパターンを有するプリント基板にセラミックチップ部品を固定する場合に半田付けが重要な問題になり、特に半田付けをフローソルダリング法によって行う場合には熔融した半田によって形成される半田フィレットによって接続されてはならないパターンが接続されてしまう「半田ブリッジ」が形成されることがあり、そのような場合には修復不能な不良品を発生させることになる。

50 【0009】半田ブリッジが形成される過程を図 3 により説明する。図 3 に示されたのは、プリント基板の両面

にチップ部品とリード付部品を混在させて実装する混在実装方式の工程例である。ガラスエポキシ板等から形成されたプリント基板 20 の A 面、B 面の両面には銅箔等からなるプリントパターンパッド 21 A、21 B が形成され、パッド 21 A、21 B の一部にはチップ部品を半田付けするためのランド 22 A、22 B 及びリード付き部品のリードが半田付けされるランド 23 A、23 B が形成されている。プリントパターンパッド 21 A、21 B のうちランド 22 A、22 B、23 A、23 B 以外の部分には半田が付着するのを防止するソルダレジスト 24 A、24 B が形成されており、パッド 21 A とパッド 21 B はスルーホール 25 によって接続されている。

【0010】初めに、A 面にチップ部品を固定するための紫外線硬化型接着剤 26 が上側の面である部品取付位置に塗布される (a)。次に、チップ部品 1 A を接着剤 26 に付着させ (b)、紫外線 27 を照射することにより接着剤 26 を硬化させ (c)、チップ部品を接着する。このようにして A 面のチップ部品の取付が終了する。

【0011】B 面にチップ部品を取り付けるためにプリント基板を裏返して B 面を上側とし (d)、B 面のランド 22 B、22 B にクリーム半田 28、28 を塗布する。次に、チップ部品 1 B をクリーム半田 28、28 に付着させ、チップ部品を仮固定する (e)。このようにして B 面のチップ部品の取付が終了する。

【0012】このようにチップ部品が取り付けられた B 面の半田付けを行う。この半田付けは赤外線 29 を用いたリフローソルダリング法で行われ、クリーム半田が溶融し 30、30 で示される半田接合部が形成され

(f)、B 面の半田付けは終了する。

【0013】B 面の半田付けが終了すると、B 面側からスルーホール 25、25 にリード付部品 31 のリード線 32、32 を挿入する。このようにして A 面のチップ部品の取付が終了する (g)。

【0014】このようにしてチップ部品 1 A とリード付部品 31 とが取り付けられた A 面の半田付けを行うが、この半田付けは A 面の半田付けと異なり、溶融半田槽を用いたフローソルダリング法で行われ、チップ部品 1 A とリード付部品 31 とが取り付けられた A 面に半田槽の溶融半田が接触し付着することにより半田接合部 33、33 及び 34、34 が形成され、A 面の半田付けが終了する。

【0015】このようにしてプリント基板 20 にチップ部品 1 A、1 B 及びリード付部品 31 が半田付けにより取り付けられるが、この際図 4 に示されたようにセラミックチップ部品の電極端子に施されている錫メッキあるいは半田メッキ部にも溶融した半田が付着し、その付着半田の量が多いときにソルダレジストを越えて溶融半田が隣接するランドにはみ出し、半田ブリッジ 35 A あるいは 35 B が形成されることがある。この半田ブリッジ

を除去することは非常に困難であり、特にチップ部品が高密度に実装されている場合には全く不可能である。そのため、半田ブリッジが生じたプリント基板は廃棄せざるを得ない。

【0016】また、従来のセラミックチップ部品の端子電極は内部電極が露出されて焼成されたセラミック本体の端部に導電ペイントを印刷塗布・焼成するかあるいは焼成されたセラミック本体 2 に金属キャップを嵌挿することによって形成されている。そして、セラミックチップ部品をプリント基板に実装するため端子電極にニッケルメッキが施され、さらに積層セラミックコンデンサ 1 をプリント基板に実装するために錫メッキあるいは半田メッキが施されているため、露出した内部電極を介してセラミックチップ部品の製造工程数が多く、メッキ工程においてメッキ液が部品中に侵入し、製品不良が発生することがある。

【0017】

【発明の概要】本願においては、プリント基板に半田付けする場合に半田ブリッジが発生することがなく、製造工程数が少なく、製品不良が発生することが少ないセラミックチップ部品の構造を提供する。

【0018】そのために、本発明においてはセラミックチップ部品の表面の端子電極をセラミックチップ部品の両端部の全体を覆うものから、半田付けがなされる上下面の両端部だけに限定して形成されたものにし、内部電極を外部電極によって外部で接続するものから、スルーホールによって内部で接続するものにする。

【0019】このように構成すると、半田が端子電極の半田付け部以外の部分に付着することに起因する半田ブリッジの発生がなくなる。また、端子電極は生のセラミック素体に印刷手段により形成し、セラミック焼成時に同時に焼き付けられるから、端子電極を焼き付ける工程が不要となる。そして、メッキ工程も不要であるからメッキ工程においてメッキ液が部品中に侵入し、製品不良が発生することもない。

【0020】

【実施例】図により本願発明の実施例を説明するが、この実施例においては従来例と同様に最も代表的なセラミックチップ部品であるセラミックコンデンサを示す。本発明の実施例である積層セラミックチップコンデンサの外観を図 2 (a) に、断面構造を同 (b) に示す。この積層セラミックコンデンサは図 1 に示された従来の積層セラミックコンデンサと同様に、直方体形状の本体 11 と、本体 11 の上下の対向面に各々形成された端子電極 12、12' 及び 13、13' から構成されている。

【0021】この本体 11 は、 $\text{BaTiO}_3\text{-Nb}_2\text{O}_5$ 系セラミック誘電体層 14-1、14-2・・・14-7 とこれらの誘電体層の間に形成された Pd、Ag-Pd 合金、Ni 等の導電体層からなる 6 枚の内部電極 15-1、15-2、15-3 及び 16-1、16-2、16-3 から構成さ

れている。内部電極15-1、15-2及び15-3はスルーホール17によって端子電極12及び12'に接続されており、内部電極6-1、6-2及び6-3はスルーホール17によって端子電極3に接続されている。このことにより内部電極15と16の間に形成されたコンデンサが並列接続され、全体で1個のコンデンサが形成されている。

【0022】本願発明のセラミックチップ部品を図3に示された混在実装方式において用いた場合の半田付け状態を図5に示す。この図においても図3と同様にプリント基板20にセラミックチップ部品10A、10B及びリード付部品31が半田付けにより取り付けられる。このときに行われる半田付け方法すなわちリフロー半田付け法及びフロー半田付け法は図3の場合と同じであるから、リード付部品31の半田付け状態は変わらない。

【0023】しかし、本発明のセラミックチップ部品10A、10Bの電極端子12、12'、13、13'は従来のセラミックチップ部品1A、1Bの電極端子2、3がセラミックチップ部品1A、ABの端部の全体を覆っているのに対し、半田付けがなされる部分のみに形成されている。そのため半田付けがなされる部分のみに半田層36A、36A、36B、36Bが形成され、それ以外の面に半田が付着することはない。したがって、従来のもののように付着半田の量が多くソルダレジストを越えて熔融半田が隣接するランドにはみ出し、半田ブリッジが形成されるということがない。また、半田の消費量も少ない。

【0024】そして、電極端子の形成は生のセラミック素体に印刷し、セラミックを焼成する時に同時に焼き付けて形成することができるから、従来のもののように電極端子を焼き付けるために焼成する工程が不要となる。また、セラミックチップ部品の周辺部に内部電極が露出しないように構成した場合には、端子電極にニッケルメッキを施す工程において従来のもののように露出した内部電極を介してメッキ液が部品中に侵入することによる製品不良の発生がない。

【0025】図6により本発明セラミックチップ部品の製造工程についてチップコンデンサを例に挙げて説明する。初めに、樹脂フィルム上に(g)に示すような外部電極12'及び13'となる導電塗料を印刷する。その上に、(f)に示すようなスルーホール19-3及び20-3が形成されるようにセラミックグリーンシート14-3を形成する。(e)に示すように、スルーホール20-3に導電体18-2となる導電ペーストを充填する。なお、スルーホール19-3にも導電ペーストが充填される。さらに、セラミックグリーンシート14-3上に内部電極15-1となる導電塗料を印刷する。その上に、(d)に示すようなスルーホール19-2及び20-2が形成されるようにセラミックグリーンシート14-2を形成する。スルーホール19-2に導電ペースト17-1を充填するととも

に、セラミックグリーンシート14-2上に内部電極16-1となる導電塗料を印刷する。(c)に示すように、スルーホール19-2に導電体17-1となる導電ペーストを充填する。なお、スルーホール20-2にも導電ペーストが充填される。さらに、セラミックグリーンシート14-2上に内部電極16-1となる導電塗料を印刷する。その上に、(b)に示すようなスルーホール19-1及び20-1が形成されるようにセラミックグリーンシート14-1を形成する。スルーホール19-1及び20-1に導電体となる導電ペーストを充填するとともに、(a)に示すようにセラミックグリーンシート14-1上に外部電極12及び13となる導電塗料を印刷する。

【0026】積層数を多くする場合には(f)～(c)の工程を繰り返す。このように形成された生のセラミックチップ部品素体は切断され乾燥された後に、焼成される。この焼成によりスルーホールに充填された導電ペーストが一体となって導電体が形成され、この導電体と内部電極及び外部電極が電気的に接続されるとともにセラミック同士が一体になる。なお、内部電極15及び16の外縁部はセラミックグリーンシートの外縁部に接しないように構成することにより、半田付けにおける半田ブリッジの発生はより効果的に抑制される。また、スルーホールは接続の確実性および直流抵抗を小さく且つ内部電極との重なり面積を大きくとるため短辺方向に横長にできるだけ大きく形成する。

【0027】以上説明した実施例においては本願発明をチップコンデンサに適用した場合について説明した。しかし、チップ抵抗器、チップインダクタ、チップフィルタ等他のセラミックチップ部品においても実装時の半田ブリッジの問題、工程数の問題、メッキ液の問題は存在する。したがって、これらのセラミックチップ部品に対しても本願発明が適用可能であることはいうまでもない。また、以上説明した実施例では内部電極を印刷法で形成したが、この他にグリーンシートを用いることもできる。

【0028】

【発明の効果】以上説明したように本願発明のセラミックチップ部品は、プリント基板に半田付けする場合に半田ブリッジが発生することがなく、製造工程数が少なく、製品不良が発生することが少ない。この他に、次に述べるような効果を得ることができる。積層工程でスルーホールを形成し、このスルーホールを用いて導電体を形成しているため、外部電極と内部電極との間の確実な接続が行われ、断線の危険性が小さい。ハンダの消費量が少なく、ハンダが上まで上がる恐れがないので、たわみ応力に耐える。外部電極はセラミック本体を焼成する際に同時に焼成されるため、外部電極形成のためだけの印刷・焼付工程が不要である。またNiメッキも不要のため、工程数が少ない。

【図面の簡単な説明】

【図1】従来例の積層セラミックコンデンサの外観図及び一部破断斜視図。

【図2】本発明実施例の積層セラミックコンデンサの外観図及び一部破断斜視図。

【図3】混在実装方式の工程図。

【図4】従来のセラミックチップ部品によって半田ブリッジが形成された状態の説明図。

【図5】本発明のセラミックチップ部品によって半田ブリッジが形成されない状態の説明図。

【図6】本発明のセラミックチップ部品の製造方法説明

図。

【符号の説明】

1 積層セラミックコンデンサ本体

2, 3, 12, 12', 13, 13' 端子電極

4-1, 4-2, ... 4-7, 14-1, 14-2, ... 14-

-7 誘電体層

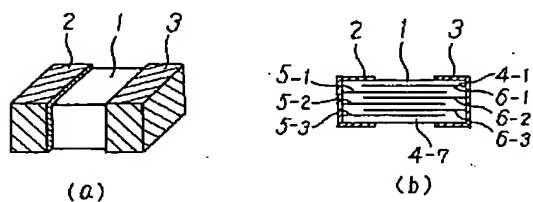
5-1, 5-2, 5-3, 6-1, 6-2, 6-3, 15-1, 15-

2, 15-3, 16-1, 16-2, 16-3 内部電極

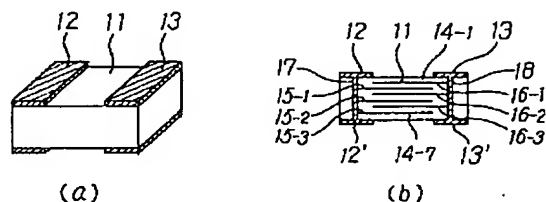
17, 18 導電体

19, 20 スルーホール

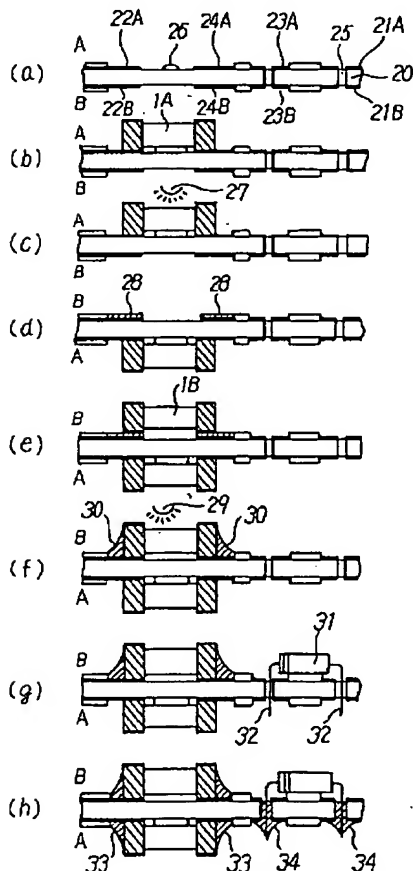
【図1】



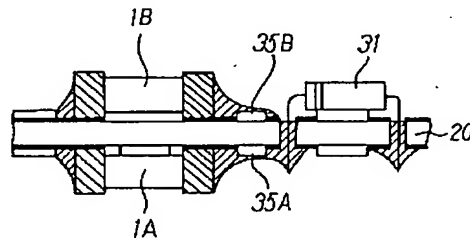
【図2】



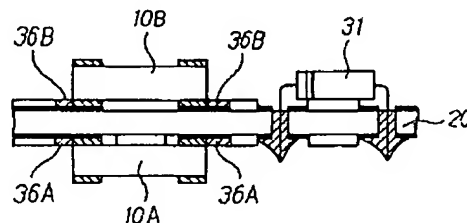
【図3】



【図4】



【図5】



【図6】

